

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-237575

(43)Date of publication of application : 23.08.2002

(51)Int.Cl. H01L 27/08
H01L 21/76
H01L 21/8238
H01L 27/092
H01L 29/78

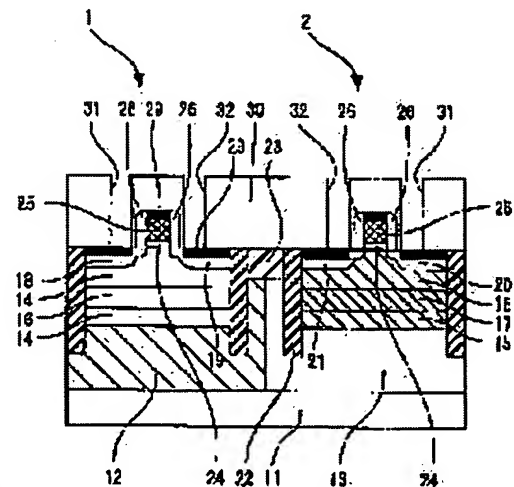
(21)Application number : 2001-032051 (71)Applicant : SHARP CORP
(22)Date of filing : 08.02.2001 (72)Inventor : IWATA HIROSHI
SHIBATA AKIHIDE
KAKIMOTO SEIZO

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device using a DTMOS, which will not cause increase in defects of off-leak, even if the distance from the gate electrode end to the isolation region is reduced, and to provide its manufacturing method.

SOLUTION: The isolation region comprises a deep isolation region 22, whose width is substantially fixed and a shallow isolation region 23 consisting of an STI. In the shallow isolation region 23 consisting of an STI, a bird's beak is small and off-leak defects due to stress caused by a bird's beak of a DTMOS 2 consisting of a PMOS can be prevented. Furthermore, since a boundary part isolation region is a composite isolation region, an insulation film can be embedded readily in an insulation region. Since the width of the deep isolation region 22 is substantially fixed, the deep isolation region 22 can be formed easily.



THIS PAGE BLANK (USPTO)

LEGAL STATUS

[Date of request for examination] 24.01.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright © 2006 by JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-237575

(P2002-237575A)

(43) 公開日 平成14年8月23日 (2002.8.23)

(51) Int.Cl.	識別記号	F I	テマコード (参考)
H 0 1 L 27/08	3 3 1	H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
21/76		21/76	L 5 F 0 4 8
21/8238		27/08	3 2 1 C 5 F 1 4 0
27/092			3 2 1 E
29/78		29/78	3 0 1 J
審査請求 未請求 請求項の数 7 O L (全 17 頁) 最終頁に続く			

(21) 出願番号 特願2001-32051 (P2001-32051)

(22) 出願日 平成13年2月8日 (2001.2.8)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岩田 浩

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 柴田 晃秀

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外1名)

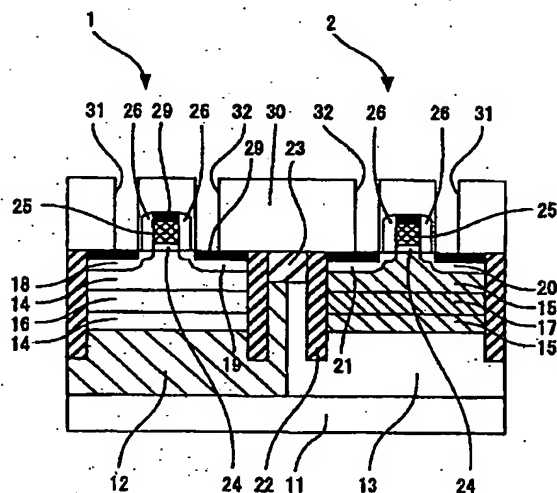
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ゲート電極端から素子分離領域までの距離が小さくなっても、オフリークの増加不良を起こさない DTMOS を用いた半導体装置及びその製造方法を提供すること。

【解決手段】 素子分離領域は、幅が略一定の深い素子分離領域 22 と、STI からなる浅い素子分離領域 23 とからなる。STI からなる浅い素子分離領域 23 はバースピークが小さくて、PMOS からなる DTMOS 2 のバースピーク起因の応力によるオフリーク不良が防止される。また、境界部素子分離領域は、複合素子分離領域であるから、素子分離領域への絶縁膜の埋め込みが容易になる。また、上記深い素子分離領域 22 は幅が略一定であるので、深い素子分離領域 22 の形成が簡単である。



1

【特許請求の範囲】

【請求項 1】 半導体基板と、

上記半導体基板内に形成された第 1 導電型の深いウェル領域と、

上記第 1 導電型の深いウェル領域内に形成された第 2 導電型の浅いウェル領域と、

上記第 2 導電型の浅いウェル領域上に形成され、ゲート電極と上記第 2 導電型の浅いウェル領域が短絡された動的閾値トランジスタと、

上記第 2 導電型の浅いウェル領域上に形成され、かつ、上記第 1 導電型の深いウェル領域と上記第 2 導電型の浅いウェル領域との接合の深さよりも浅い深さを有する S T I からなる浅い素子分離領域と、

上記第 2 導電型の浅いウェル領域を貫通して第 1 導電型の深いウェル領域上に形成されると共に、上記第 1 導電型の深いウェル領域と上記第 2 導電型の浅いウェル領域との接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域とを備えることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、上記半導体基板内に形成された第 2 導電型の深いウェル領域と、

上記第 2 導電型の深いウェル領域内に形成された第 1 導電型の浅いウェル領域と、

上記第 1 導電型の浅いウェル領域上に形成され、ゲート電極と上記第 1 導電型の浅いウェル領域が短絡された動的閾値トランジスタと、

上記第 1 導電型の浅いウェル領域上に形成され、かつ、上記第 2 導電型の深いウェル領域と上記第 1 導電型の浅いウェル領域との接合の深さよりも浅い深さを有する S T I からなる浅い素子分離領域と、

上記第 1 導電型の浅いウェル領域を貫通して第 2 導電型の深いウェル領域上に形成されると共に、上記第 2 導電型の深いウェル領域と上記第 1 導電型の浅いウェル領域との接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域と、

上記第 1 導電型と第 2 導電型の深いウェル領域の境界部、及び、上記第 1 導電型と第 2 導電型の浅いウェル領域の境界部に設けられた境界部素子分離領域とを備えることを特徴とする半導体装置。

【請求項 3】 請求項 1 または 2 に記載の半導体装置において、上記動的閾値トランジスタは、その動的閾値トランジスタのソース領域及びドレイン領域の一部が、上記動的閾値トランジスタのゲート絶縁膜がなす面より上に存在する積上げ型の構造を有することを特徴とする半導体装置。

【請求項 4】 請求項 2 に記載の半導体装置において、上記境界部素子分離領域は、上記浅いウェル領域と深いウェル領域との接合の深さよりも浅い深さを有する S T I からなる浅い素子分離領域とその浅い素子分離領域の

2

両側に位置して上記接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域とからなる複合素子分離領域であることを特徴とする半導体装置。

【請求項 5】 請求項 2 に記載の半導体装置において、上記境界部素子分離領域は、上記浅いウェル領域と深いウェル領域との接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域とその深い素子分離領域の両側に位置して上記接合の深さよりも浅い深さを有する S T I からなる浅い素子分離領域とからなる複合素子分離領域であることを特徴とする半導体装置。

【請求項 6】 請求項 1 乃至 5 のいずれか 1 つに記載の半導体装置の製造方法であって、

半導体基板上に第 1 の膜を形成する工程と、

上記第 1 の膜に第 1 の開口窓を形成する工程と、

上記第 1 の膜をマスクとして半導体基板を部分的にエッチングして第 1 の分離溝を形成する工程と、

上記第 1 の膜及び上記第 1 の分離溝の上に第 2 の膜を形成する工程と、

上記第 2 の膜に第 2 の開口窓を形成する工程と、

上記第 2 の膜をマスクとして上記第 1 の膜を部分的にエッチングする工程と、

上記第 1 の膜をマスクとして半導体基板を部分的にエッチングして第 2 の分離溝を形成する工程と、

上記第 1 の膜上、第 1 の分離溝上及び第 2 の分離溝上に絶縁膜を堆積し、第 1 の分離溝及び第 2 の分離溝を埋めこむ工程とを備えることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 に記載の半導体装置の製造方法において、上記第 1 の膜はシリコン酸化膜とシリコン窒化膜との積層膜であり、上記第 2 の膜はフォトレジストであり、上記絶縁膜は酸化膜であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、例えば MOS FET (Metal Oxide Semiconductor Field Effect Transistor) 等の電界効果トランジスタと素子分離領域とを備えた半導体装置に関し、より詳しくは、ゲート電極とウェル領域が電気的に接続された動的閾値トランジスタと素子分離領域とを備えた半導体装置に関する。

【0002】

【従来の技術】 MOS FET を用いた CMOS (相補型 MOS : Complementary Metal Oxide Semiconductor) 回路において、動作電圧を下げて消費電力を大幅に減少させる技術として、バルク基板を用いた動的閾値トランジスタ (以下、DTMOS という。) が提案されている (特開平 10-22462 号公報、特開 2000-82815 号公報、Novel Bulk Threshold Voltage MOSFET (B-DTMOS) with Advanced Isolation (SITOS) and Gate to Shallow Well Contact (SSS-C) Processes for Ultra L

3

ow Power Dual Gate CMOS, H. Kotaki et al., IEDM Tech. Dig., p459, 1996)。

【0003】N型及びP型のDTMOSの概略断面図を図14に示す。図14中、111は基板、112はN型の深いウェル領域、113はP型の深いウェル領域、114はP型の浅いウェル領域、115はN型の浅いウェル領域、116は素子分離領域、117はN型のソース領域、118はN型のドレイン領域、119はP型のソース領域、120はP型のドレイン領域、121はゲート絶縁膜、122はゲート電極、123はN型DTMOS、124はP型DTMOSをそれぞれ示している。また、図示しないが、ゲート電極122はN型DTMOS 123ではP型の浅いウェル領域114とコンタクト孔を介して電気的に接続されている。同様に、P型DTMOS 124では、ゲート電極122はN型の浅いウェル領域115とコンタクト孔を介して電気的に接続されている。図14の素子分離領域116部の詳細を図15に示す。上記素子分離領域116は、LOCOS（ロコス：Local Oxidation of Silicon）酸化膜部分125と溝型部分126とからなる。

【0004】以下、DTMOSの動作原理を図14を参照してN型DTMOS 123の場合で説明する。上記N型DTMOS 123において、ゲート電極122の電位がローレベルにあるとき（オフ時）は浅いウェル領域114の電位もローレベルにあり、実効的な閾値は通常のMOSFETの場合と変わらない。したがって、オフ電流値（オフリーク）は通常のMOSFETの場合と同じである。

【0005】一方、上記ゲート電極122の電位がハイレベルにある時（オン時）は浅いウェル領域114の電位もハイレベルになり、基板バイアス効果により実効的な閾値が低下し、駆動電流は通常のMOSFETの場合に比べて増加する。このため、低電源電圧で低リーク電流を維持しながら大きな駆動電流を得ることができる。

【0006】ところで、DTMOS 123、124はゲート電極122と浅いウェル領域114、115とが電気的に短絡されている。このため、ゲート電極122の電位が変化すると、浅いウェル領域114、115の電位も同様に变化する。したがって、各DTMOS 123、124の浅いウェル領域114、115は、隣接するMOSFETの浅いウェル領域と互いに電気的に分離されていなければならない。上記素子分離領域116の溝型部分126の深さは、互いに隣接するMOSFETの浅いウェル領域を互いに電気的に分離するように設定される。上記素子分離領域116のLOCOS酸化膜部分125は、例えばゲート電極122の配線部分などに設けるものであり、ゲート領域とウェル領域間の静電容量を減少させることができる。

【0007】

【発明が解決しようとする課題】ところで、素子の微細

4

化が進むことにより、ゲート電極端から素子分離領域までの距離（図14中の W_{sd} ）は、ますます小さくなる。ソース領域及びドレイン領域を非常に小さくすることが可能な、積上げ型のソース領域及びドレイン領域をもつP型MOS（構造及び製法は特開2000-82815号公報に記載）を作成し、トランジスタ特性を測定したところP型MOSに異常なリーク電流がみられた。図16は、ゲート電圧に対するドレイン電流の変化を示したものであり、実線は W_{sd} が小さいもの（ $W_{sd}=0.40\mu m$ ）であり、点線は W_{sd} が大きいもの（ $W_{sd}=1.0\mu m$ ）である。

【0008】このリーク電流はP型MOSのみにあわれ、 W_{sd} が小さい時のみにあらわれた。また、リーク電流値は、 W_{sd} が同じであっても素子毎のばらつきが大きかった。なお、これらの素子は、 W_{sd} のみが異なり、ゲート長、ゲート幅、チャネル不純物濃度等は同一のものである。図16の例では、ゲート電圧が0Vの時（トランジスタがオフ時）、 $W_{sd}=0.4\mu m$ で、 $W_{sd}=1.0\mu m$ の時よりもオフ電流が4桁増加しており、CMOS回路ではリーク電流となって低消費電力化を妨げてしまう。

【0009】本発明は、上記課題を解決するべくなされたものであり、その目的は、素子の微細化にともないゲート電極端から素子分離領域までの距離が小さくとも、オフリークの増加不良を起こさないDTMOSを用いた半導体装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】発明が解決しようとする課題で述べたP型MOSのオフリーク不良の原因として、以下のことが考えられる。LOCOS（ロコス）酸化工程で発生するバースピークがゲート電極端に接近し、バースピーク起因の応力がゲート電極端またはゲート酸化膜において不純物の異常拡散を引き起こしたと考えられる。不純物が異常拡散を起こしてチャネル不純物濃度が薄くなる部分が発生すると、オフリークが増大する原因となる。

【0011】以上のことから、この不良を改善するためには、大きなバースピークをとまなうLOCOS酸化を行わなければよいと考えられる。例えば、図17に示すように、素子分離領域としてSTI（Shallow Trench Isolation）126を用いればよい。しかし、素子分離領域の深さは、浅いウェル領域を電気的に分離しなければならないため、例えば $0.6\mu m$ 以上であることが要求される。また、素子分離領域の幅は、最小加工寸法から非常に広いものまでさまざまである。しかし、このように深いSTI 126を種々の幅で形成するのは大変に難しいという問題がある。なぜなら、さまざまな幅を持ち、かつ、深い溝に絶縁物を埋め込むのは困難だからである。

5

【0012】そこで、本発明の半導体装置では、素子分離領域は、略幅が一定の深い素子分離領域と、STIからなる浅い素子分離領域とからなっている。そのため、上記浅い素子分離領域はバースピークが小さくて、DTMOS（動的閾値トランジスタ）をPMOSから構成しても、オフリーク不良が抑制され、かつ、素子分離領域への絶縁膜の埋め込みが容易になる。また、上記深い素子分離領域は幅が略一定であるので、深い素子分離領域の形成が簡単である。

【0013】本発明の半導体装置は、半導体基板と、上記半導体基板内に形成された第1導電型の深いウェル領域と、上記第1導電型の深いウェル領域内に形成された第2導電型の浅いウェル領域と、上記第2導電型の浅いウェル領域上に形成され、ゲート電極と上記第2導電型の浅いウェル領域が短絡された動的閾値トランジスタと、上記第2導電型の浅いウェル領域上に形成され、かつ、上記第1導電型の深いウェル領域と上記第2導電型の浅いウェル領域との接合の深さよりも浅い深さを有するSTIからなる浅い素子分離領域と、上記第2導電型の浅いウェル領域を貫通して第1導電型の深いウェル領域上に形成されると共に、上記第1導電型の深いウェル領域と上記第2導電型の浅いウェル領域との接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域とを備えることを特徴としている。

【0014】本明細書において、第1導電型とは、P型又はN型を意味する。また、第2導電型とは、第1導電型がP型の場合はN型、N型の場合はP型を意味する。

【0015】上記発明によれば、素子分離領域は、幅が略一定の深い素子分離領域と、STIからなる浅い素子分離領域とからなるので、動的閾値トランジスタをPMOSから構成しても、バースピーク起因の応力によるPMOSのオフリーク不良を防止することができ、かつ、素子分離領域への絶縁膜の埋め込みが容易になる。また、上記深い素子分離領域は幅が略一定であるので、深い素子分離領域の形成が簡単である。また、素子分離領域は、幅が略一定の深い素子分離領域と、STIからなる浅い素子分離領域とからなるので、素子や素子間のマージンを小さくすることができる。

【0016】1実施の形態では、上記半導体基板内に形成された第2導電型の深いウェル領域と、上記第2導電型の深いウェル領域内に形成された第1導電型の浅いウェル領域と、上記第1導電型の浅いウェル領域上に形成され、ゲート電極と上記第1導電型の浅いウェル領域が短絡された動的閾値トランジスタと、上記第1導電型の浅いウェル領域上に形成され、かつ、上記第2導電型の深いウェル領域と上記第1導電型の浅いウェル領域との接合の深さよりも浅い深さを有するSTIからなる浅い素子分離領域と、上記第1導電型の浅いウェル領域を貫通して第2導電型の深いウェル領域上に形成されると共に、上記第2導電型の深いウェル領域と上記第1導電型

6

の浅いウェル領域との接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域と、上記第1導電型と第2導電型の深いウェル領域の境界部、及び、上記第1導電型と第2導電型の浅いウェル領域の境界部に設けられた境界部素子分離領域とを備える。

【0017】上記実施の形態の半導体装置は、相補型に構成したもので、動的閾値トランジスタに対称出力特性を持たせることができ、更に、低消費電力化が可能となる。

【0018】1実施の形態では、上記動的閾値トランジスタは、その動的閾値トランジスタのソース領域及びドレイン領域の一部が、上記動的閾値トランジスタのゲート絶縁膜がなす面より上に存在する積上げ型の構造を有する。

【0019】上記実施の形態によると、上記ソース領域及びドレイン領域が積み上げ型になっているから、コンタクトが素子分離領域にはみ出して、素子分離領域を掘ってしまっても、ソース領域及びドレイン領域とウェル領域との接合が剥き出しにならないので、リーク電流が問題とはならない。

【0020】更に、上述のように、上記ソース領域及びドレイン領域を積上げ型にすることによって、ソース領域及びドレイン領域の表面積が大きくなって、コンタクトをとる際に、ソース領域及びドレイン領域の表面とコンタクトとの接続面積を大きくとりやすい。

【0021】更にまた、動的閾値トランジスタを含む集積回路において、深さの異なる二種類の素子分離領域を用い、かつ、積上げ型のソース領域及びドレイン領域をもつ動的閾値トランジスタ（電界効果トランジスタ）を用いているので、効果的に素子面積を小さくすることができる。特に、浅い素子分離領域をSTIとしているので、バースピークがほとんど発生しないので、積上げ型のソース領域及びドレイン領域の幅が小さいという特性を最大限引き出すことができる。

【0022】したがって、上記実施の形態によれば、素子の面積を更に小さく抑えることができ、高集積化が可能な動的閾値トランジスタを含む集積回路が提供される。

【0023】1実施の形態では、上記境界部素子分離領域は、上記浅いウェル領域と深いウェル領域との接合の深さよりも浅い深さを有するSTIからなる浅い素子分離領域とその浅い素子分離領域の両側に位置して上記接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域とからなる複合素子分離領域である。

【0024】上記実施の形態によれば、上記複合素子分離領域は、STIからなる浅い素子分離領域の両側に幅が略一定の深い素子分離領域を形成してなるので、単に幅の広い深い素子分離領域を設けた場合に比べて、酸化膜等の埋め込みが容易で、幅の広い複合素子分離領域を比較的容易に形成することができる。また、上記複合素

50

7

子分離領域によると、浅い素子分離領域の両側に深い素子分離領域が存在するので、第1導電型の深いウェル領域と第1導電型の浅いウェル領域との間、または、第2導電型の深いウェル領域と第2導電型の浅いウェル領域との間のパンチスルーを効果的に防ぐことができる。したがって、少ない素子分離マージンで、複数の動的閾値トランジスタの間を効果的に分離できる。

【0025】1実施の形態では、上記境界部素子分離領域は、上記浅いウェル領域と深いウェル領域との接合の深さよりも深い深さを有する幅が略一定の深い素子分離領域とその深い素子分離領域の両側に位置して上記接合の深さよりも浅い深さを有するSTIからなる浅い素子分離領域とからなる複合素子分離領域である。

【0026】上記実施の形態によれば、上記複合素子分離領域は、幅が略一定の深い素子分離領域とその深い素子分離領域の両側に位置するSTIからなる浅い素子分離領域とからなるので、単に幅の広い深い素子分離領域を設ける場合に比べて、複合素子分離領域への酸化膜の埋め込みが容易で、幅の広い複合素子分離領域を比較的容易に形成することができる。また、上記複合素子分離領域によると、少ない素子分離マージンで、第1導電型と第2導電型の浅いウェル領域を効果的に分離できて、動的閾値トランジスタの閾値の変化を抑制することができる。

【0027】また、本発明の半導体装置の製造方法は、上記いずれか1つの半導体装置の製造方法であって、半導体基板上に第1の膜を形成する工程と、上記第1の膜に第1の開口窓を形成する工程と、上記第1の膜をマスクとして半導体基板を部分的にエッチングして第1の分離溝を形成する工程と、上記第1の膜及び上記第1の分離溝の上に第2の膜を形成する工程と、上記第2の膜に第2の開口窓を形成する工程と、上記第2の膜をマスクとして上記第1の膜を部分的にエッチングする工程と、上記第1の膜をマスクとして半導体基板を部分的にエッチングして第2の分離溝を形成する工程と、上記第1の膜上、第1の分離溝上及び第2の分離溝上に絶縁膜を堆積し、第1の分離溝及び第2の分離溝を埋めこむ工程とを備えることを特徴としている。

【0028】この発明によれば、上記第1の膜は、上記第1の分離溝を形成するためのマスクと、上記第2の分離溝を形成するためのマスクとを兼ねている。したがって、上記半導体装置を作成する工程を少なくすることができる。また、上記第2の分離溝を形成する際に、上記第1の分離溝も一緒にエッチングされるので、上記第1の分離溝に不要な段差が生じない。

【0029】1実施の形態では、上記第1の膜はシリコン酸化膜とシリコン窒化膜との積層膜であり、上記第2の膜はフォトリソグレイドであり、上記絶縁膜は酸化膜である。

【0030】上記実施の形態によれば、マスクとしての

8

機能を2回果たす必要のある第1の膜を、アッシング処理や弗化水素酸処理に耐性のある積層膜とし、マスクとしての機能を1回のみ果たせばよい第2の膜を、アッシング処理で容易に除去できるフォトリソグレイドからなる膜としている。したがって、上記半導体装置の製造方法を簡略化することができる。

【0031】

【発明の実施の形態】以下、本発明を図示の実施の形態により詳細に説明する。

【0032】本発明に使用することができる半導体基板としては、特に限定されないが、シリコン基板が好ましい。また、半導体基板は、P型及びN型の導電型を有していても良い。

【0033】（実施の形態1）図1～4は、本発明の実施の形態1の半導体装置の模式図である。図1は平面図であり、図2は図1の切断面線A-A'から見た断面図であり、図3は図1の切断面線B-B'から見た断面図であり、図4は図1の切断面線C-C'から見た断面図である。なお、図1ではシリサイド化された領域、ゲートサイドウォールスペーサー、層間絶縁膜及び上部メタル配線を、図2～4では上部メタル配線を省略している。図1～3は、N型のMOSFETからなるDTMOS1とP型のMOSFETからなるDTMOS2とを各1つずつの組み合わせた例を示している。しかしながら、これに限定されることなく、複数のN型のMOSFETを含んでも良く、複数のP型のMOSFETを含んでも良い。さらには、単一の導電型のMOSFETのみで構成されていても良い。また、図4は、P型のMOSFETの断面図であるが、N型のMOSFETの断面も不純物の導電型が異なる点を除き、同様な構造を持つ。

【0034】図2に示すように、本実施の形態1の半導体装置では、P型半導体基板11内に、N型の深いウェル領域12とP型の深いウェル領域13が形成されている。

【0035】上記N型の深いウェル領域12内にはP型の浅いウェル領域14が形成されている。このP型の浅いウェル領域14内には、P型の浅いウェル領域14の抵抗を低減するためのP型の高濃度埋込領域16が形成されている。図1～4では図示していないが、隣接するDTMOS等の素子間のP型の浅いウェル領域14は、電気絶縁性の幅が略一定の深い素子分離領域22によって相互に分離されている（図8(ii)参照）。P型の浅いウェル領域14には、N型のソース領域18及びN型のドレイン領域19が形成されている。また、このN型のソース領域18とN型のドレイン領域19との間のチャネル領域上には、ゲート絶縁膜24を介してゲート電極25が形成され、さらにゲート電極25の側壁にはサイドウォールスペーサー26が形成され、N型のDTMOS1を構成している。

9

【0036】一方、上記P型の深いウェル領域13内にはN型の浅いウェル領域15が形成されている。このN型の浅いウェル領域15内には、N型の浅いウェル領域15の抵抗を低減するためのN型の高濃度埋込領域17が形成されている。図1~4では図示していないが、DTMOS2等の隣接する素子間のN型の浅いウェル領域15は、電気絶縁性の幅が略一定の深い素子分離領域22によって相互に分離されている。N型の浅いウェル領域15には、P型のソース領域20及びP型のドレイン領域21が形成されている。また、このP型のソース領域20とP型のドレイン領域21との間のチャネル領域上には、ゲート絶縁膜24を介してゲート電極25が形成され、さらにゲート電極25の側壁にはサイドウォール Spacer 26が形成され、P型のDTMOS2を構成している。

【0037】上記N型のソース領域18及びP型のソース領域20は、層間絶縁膜30に形成されたコンタクト孔31を介して、それぞれ上部メタル配線に電氣的に接続されている。N型のドレイン領域19及びP型のドレイン領域21は、層間絶縁膜30に形成されたコンタクト孔32を介して、それぞれ上部メタル配線に電氣的に接続されている。

【0038】上記ゲート電極25には、図1、3に示すように、ゲート-基板接続領域33が設けられている。このゲート-基板接続領域33の下部の浅いウェル領域14、15には、図3に示すように、N型のDTMOS1の場合はP型の不純物濃度の濃い領域27が、P型のDTMOS2の場合はN型の不純物濃度の濃い領域28が、それぞれ形成されている。ゲート電極25は、ゲート-基板接続領域33と不純物濃度が濃い領域27、28を介して、浅いウェル領域14、15と電氣的に接続されている。さらに、ゲート電極25は、層間絶縁膜30に形成されたコンタクト孔34を介して、上部メタル配線（図示せず。）に電氣的に接続されている。

【0039】図4に示すように、P型の深いウェル領域13は、P型の浅いウェル領域14、P型の不純物濃度の濃い領域27及びコンタクト孔35を介して、上部メタル配線に電氣的に接続されている。また、図示していないが、N型の深いウェル12は、N型の浅いウェル15、N型の不純物濃度の濃い領域28及びコンタクト孔35を介して、上部メタル配線に電氣的に接続されている。なお、ゲート電極25、N型のソース領域18、N型のドレイン領域19、P型のソース領域20、P型のドレイン領域21、P型の不純物濃度の濃い領域27及びN型の不純物濃度の濃い領域28の各上部には、コンタクト抵抗を低減する目的で、シリサイド化された領域29が形成されている。

【0040】上記チャネル領域、ソース領域18、20、ドレイン領域19、21、ゲート-基板接続領域33及び深いウェルコンタクトを設けるために必要な領域

10

以外であって、かつ、幅が略一定の深い素子分離領域22でない領域には、静電容量を減少させるために、STIからなる浅い溝型素子分離領域23が形成されている。

【0041】次に、図1~4に示す半導体装置の作成手順を述べる。

【0042】上記素子分離領域22、23の形成手順を、図5及び図6を用いて説明する。まず、図5(a)に示すように、半導体基板411上に、素子分離領域を形成するときマスクとなる膜を形成する。具体的には、半導体基板411上に酸化膜412を形成し、次いでSiN膜413をCVD（化学的気相成長）法により堆積する。上記酸化膜412は、上記SiN膜413と半導体基板411が直接接しないための緩衝膜となる役割と、上記SiN膜をリン酸で除去する際の保護膜としての役割を持っている。次いで、図5(a)、5(b)に示すように、上記酸化膜412及びSiN膜413にフォトリソを行う。フォトリソ414で深い素子分離領域22に対応するパターニングを行う。フォトリソ414をマスクとして、反応性イオンエッチング（RIE）によりSiN膜413と酸化膜412を部分的に除去し、続いてフォトリソ414を除去する。次いで、図5(c)に示すように、SiN膜413をマスクとしてRIEにより半導体基板411を部分的に除去し、溝を形成する。次いで、図5(d)、図5(e)に示すように、フォトリソ414で、浅い素子分離領域23に対応するパターニングを行う。フォトリソ414をマスクとして、RIEによりSiN膜413と酸化膜412を選択的かつ部分的に除去し、続いてフォトリソ414を除去する。次いで、図5(f)に示すように、SiN膜413をマスクとして、RIEにより半導体基板411を部分的に除去する。この段階で、半導体基板には、異なる深さをもつ2種類の溝が形成される。ここで、熱酸化工程を行うことにより、素子分離領域の側壁及び底部を酸化して図6(g)に示す酸化膜412を形成する。これにより、素子分離領域の絶縁体部と半導体基板との界面を欠陥が少ないものとすることができ、素子の電気特性が向上する。また、単に熱酸化工程を行うのではなく、熱酸化、酸化膜除去、及び熱酸化の一連の工程を行うのがより望ましい。これにより、素子分離領域形成時に発生した結晶欠陥が多い部分を取り除くことができ、素子分離領域の絶縁体部と半導体基板との界面を、より欠陥が少ないものとする事ができ、素子の電気特性が向上する。次いで、図6(g)に示すように、CVD法により、溝を埋めるための膜415を形成する。この溝を埋めるための膜415の材質としては、酸化膜やシリコン窒化膜などの絶縁物、もしくはアモルファスシリコンやポリシリコンなどの導電膜が挙げられる。なお、溝を埋めるための膜415として導電膜を用いた場合は、絶縁性を確保するために、1) あらかじめ溝の内壁を酸

11

化しておくこと、2) 溝を埋めこんだ後、導電膜上部を酸化するか絶縁性のキャップをすること、が必要である。工程が単純であり、応力が小さいことから、溝を埋めるための膜は酸化膜415であるのが好ましい。この酸化膜415の形成時には、深い溝が埋まるまでは底面及び側壁に均一に酸化膜が形成される一般的な条件で行い、その後浅い溝を埋めるときは側壁に酸化膜が形成しにくい条件(例えば、HDP(High Density Plasma)を用いた装置で行うことができる)で行う2段階の工程で行うのが好ましい。こうすることにより、これらの溝がより少ない酸化膜厚で埋まり、後のCMP(化学機械研磨)工程での膜厚ばらつきを抑制することができる。次いで、公知のCMP法により酸化膜415を研磨し、SiN膜413を除去して、図6(h)に示すように、素子分離領域415が完成する。

【0043】上記の手順では、SiN膜413と酸化膜412は、深い溝を形成するためのマスクと、浅い溝を形成するためのマスクとを兼ねている。そのため、工程が簡略化される。また、浅い溝をエッチングで形成する際に、先に形成した深い溝も一様にエッチングされるので、深い溝に不要な段差が生じない。

【0044】上記浅い素子分離領域と深い素子分離領域は、単独で形成することもできるし、組み合わせて形成することもできる。

【0045】図7に、主な素子分離領域の組み合わせの例を示す。また、図8に、各素子分離領域の組み合わせの応用例を示す。図8において、図1~4における各構成部分と同一構成部分は、図1~4の構成部分と同じ参照番号を付して詳しい説明を省略する。

【0046】図7(i)は、STIからなる浅い素子分離領域を単独で形成した例を示している。浅い素子分離領域の深さHSは、ソース領域及びドレイン領域を分離し、かつ浅いウェル領域は分離しない深さに設定し、例えば、0.1~0.5 μ mにすることができる。上記浅い素子分離領域の幅WS1は、隣り合う素子間のソース領域及びドレイン領域が電氣的に十分分離されるように設定する。したがって、浅い素子分離領域の幅WS1は、例えば0.05 μ m以上とするのが好ましい。図7(i)に示すタイプの素子分離領域は、浅いウェル領域を分断しないので、浅いウェル領域が共通でもよい素子(同型の通常MOSFET)の素子分離に向いている(図8(i))。その他、ゲート電極の配線部分などに設けて、ゲート領域とウェル領域間の静電容量を減少させるためにも用いられる。

【0047】図7(ii)は、深い素子分離領域を単独で形成した例を示している。幅が略一定の深い素子分離領域の深さHDは、浅いウェル領域を電氣的に分離し、かつ、深いウェル領域は分断しない深さに設定するのが望ましく、例えば、0.3~2 μ mにすることができる。また、深い素子分離領域の深さHDと幅WD2との比H

12

D/WD2は、あまりに大きいと酸化膜の埋め込みに支障がある。したがって、深い素子分離領域の幅WD2は、例えば0.06 μ m以上とし、深い素子分離領域の深さHDと幅WD2との比HD/WD2は、5以下にするのが好ましい。図7(ii)に示すタイプの素子分離領域は、浅いウェル領域を最小の素子分離幅で分離することができる。したがって、同型のDTMOS間を分離するのに向いている(図8(ii))。

【0048】図7(iii)は、境界部素子分離領域としての複合素子分離領域を、幅が略一定の深い素子分離領域の片側に、STIからなる浅い素子分離領域を形成した例を示している。このタイプの素子分離領域は、深いウェル領域は共通であるが、素子分離領域をはさんで浅いウェル領域の導電型が異なり、かつ、浅い素子分離領域がある側のみにMOSFETがある場合に向いている(図8(iii))。このような構造は、例えば、図8(ii)に示すように、深いウェル領域12に電位を与えるための端子を設ける場合に用いることができる。MOSFETがない側の浅いウェル領域15を形成する不純物は、注入時の横方向への広がりやアニールによる拡散でMOSFETのチャネル領域に達し、閾値の変動を引き起こそうとする。この閾値の変動を防ぐために、MOSFETのある側にSTIからなる浅い素子分離領域23を設ける。一方、MOSFETのない側では、多少の不純物濃度の変化は何ら影響を与えないので、略一定幅の深い素子分離領域22のみとして、浅い素子分離領域23を設ける必要はない。

【0049】図7(iii)に示す構造の代わりに、単に幅の広い深い素子分離領域を設けたとすると、酸化膜の埋め込みが困難である。しかし、浅い素子分離領域を併用することにより、幅の広い素子分離領域を比較的容易に形成することができる。図7(iii)の構成を用いると、少ない素子分離マージンで浅いウェル領域を効果的に分離でき、MOSFETの閾値の変化を抑制することができる。

【0050】図7(iv)は、幅が略一定の深い素子分離領域の両側にSTIからなる浅い素子分離領域を形成してなる複合素子分離領域を示している。このタイプの複合素子分離領域は、深いウェル領域は共通であるが、素子分離領域をはさんで浅いウェル領域の導電型が異なり、かつ、両側にMOSFETがある場合に向いている(図8(iv))。このような構造は、例えば、図8(v)に示すように、N型のDTMOSとP型の通常MOSFETとの境界で、深い素子分離領域22と浅い素子分離領域23とからなる複合素子分離領域である境界部素子分離領域として用いることができる。もし、浅い素子分離領域23がないとするならば、浅いウェル領域14、15を形成する不純物は、互いに逆導電型の浅いウェル領域15、14に達し、MOSFETの閾値の変動を引き起こす。しかし、この複合素子分離領域では、浅

13

い素子分離領域23を有するので、不純物の拡散を防止して、閾値の変動を防ぐことができる。もし、深い素子分離領域22がないとするならば、例えばN型の浅いウェル領域15とN型のドレイン領域19とがパンチスルーを起こしやすくなる。しかし、この複合素子分離領域では、深い素子分離領域22を有するので、パンチスルーを効果的に防ぐことができる。

【0051】もし、単に幅の広い深い素子分離領域を設けるとすると、広い幅の溝への酸化膜の埋め込みが困難である。しかし、図7(iv)に示す幅が略一定の深い素子分離領域の両側にSTIからなる浅い素子分離領域を形成してなる複合素子分離領域では、浅い素子分離領域を併用しているため、幅の広い素子分離領域を比較的容易に形成することができる。図7(iv)の構成を用いると、少ない素子分離マージンで浅いウェル領域を効果的に分離でき、MOSFETの閾値の変化を抑制することができる。

【0052】図7(v)は、STIからなる浅い素子分離領域の両側に幅が略一定の深い素子分離領域を形成した複合素子分離領域を示している。このタイプの複合素子分離領域は、両側の深いウェル領域の導電型が異なる境界部素子分離領域として用いるのに向いている(図8(v))。このような構造は、例えば、N型のDTMOSと、P型のDTMOSとの間を分離するのに向いている。

【0053】図7(v)に示す複合素子分離領域の代わりに、単に幅の広い深い素子分離領域を設けたとすると、広い溝への酸化膜の埋め込みが困難である。しかし、幅が略一定の深い素子分離領域と浅い素子分離領域とを併用することにより、幅の広い素子分離領域を比較的容易に形成することができる。また、図7(v)の構成を用いると、図8(v)に示すように、浅い素子分離領域23の両側に深い素子分離領域22があることにより、N型の深いウェル領域12とN型の浅いウェル領域15との間、または、P型の深いウェル領域13とP型の浅いウェル領域14との間のパンチスルーを効果的に防ぐことができる。したがって、少ない素子分離マージンで、N型のDTMOSからなる基本回路ブロックと、P型のDTMOSからなる基本回路ブロックとの間を効果的に分離できる。

【0054】次に、図2, 3に示すように、半導体基板11には、N型の深いウェル領域12とP型の深いウェル領域13が形成される。N型を与える不純物イオンとしては $31P+$ が挙げられ、P型を与える不純物イオンとしては $11B+$ が挙げられる。深いウェル領域は、例えば、不純物イオンとして $31P+$ を使用した場合、注入エネルギーとして $240\sim1500\text{ KeV}$ 、注入量として $5\times10^{11}\sim1\times10^{14}\text{ cm}^{-2}$ の条件、又は不純物イオンとして $11B+$ イオンを使用した場合、注入エネルギーとして $100\sim1000\text{ KeV}$ 、注入量と

14

して $5\times10^{11}\sim1\times10^{14}\text{ cm}^{-2}$ の条件で形成することができる。

【0055】第1導電型の深いウェル領域上で、基板表面から見て浅い領域に、第2導電型の浅いウェル領域または第1導電型の浅いウェル領域を形成する。第2導電型の浅いウェル領域を形成した部分では、第2導電型の浅いウェル領域は第1導電型の深いウェル領域によって囲まれるので、DTMOSを形成することができる。また、第1導電型の浅いウェル領域を形成した部分では、第1導電型の浅いウェル領域は第1導電型の深いウェル領域と一体化するので、深いウェル領域のコンタクト領域を形成することができる。

【0056】具体的には、図2, 3, 4に示すように、N型の深いウェル領域12上にP型の浅いウェル領域14及びN型の浅いウェル領域15が、P型の深いウェル領域13上にN型の浅いウェル領域15及びP型の浅いウェル領域14が、それぞれ形成される。P型を与える不純物イオンとしては $11B+$ が挙げられ、N型を与える不純物イオンとしては $31P+$ が挙げられる。浅いウェル領域14, 15は、例えば、不純物イオンとして $11B+$ を使用した場合、注入エネルギーとして $60\sim500\text{ KeV}$ 、注入量として $5\times10^{11}\sim1\times10^{14}\text{ cm}^{-2}$ の条件、又は不純物イオンとして $31P+$ イオンを使用した場合、注入エネルギーとして $130\sim900\text{ KeV}$ 、注入量として $5\times10^{11}\sim1\times10^{14}\text{ cm}^{-2}$ の条件で形成することができる。なお、浅いウェル領域14, 15と深いウェル領域12, 13との接合の深さは、上記浅いウェル領域14, 15の注入条件、深いウェル領域12, 13の注入条件及びこれより後に行われる熱工程により決定される。上記深い素子分離領域22の深さは隣接する素子の浅いウェル領域14, 15が電気的に分離されるように設定される。すなわち、深いウェル領域12, 13と浅いウェル領域14, 15との接合の深さより、深い素子分離領域22の下端が深くなるようにする。

【0057】更に、上記浅いウェル領域14, 15の抵抗を低減するために、P型の高濃度埋込領域16及びN型の高濃度埋込領域17を浅いウェル領域14, 15中に形成する。上記浅いウェル領域14, 15の抵抗が減少すると、ゲート電極15への入力が速やかに浅いウェル領域14, 15に伝播し、基板バイアス効果を十分に得ることができ、素子の動作の高速化が実現される。上記高濃度埋込領域16, 17は、例えば、P型の浅いウェル領域14中に形成する場合は、不純物イオンとして $11B+$ 、注入エネルギーとして $100\sim400\text{ KeV}$ 、注入量として $1\times10^{12}\sim1\times10^{14}\text{ cm}^{-2}$ の条件で、又はN型の浅いウェル領域15中に形成する場合は、不純物イオンとして $31P+$ 、注入エネルギーとして $240\sim750\text{ KeV}$ 、注入量として $1\times10^{12}\sim1\times10^{14}\text{ cm}^{-2}$ の条件で、それぞれ形成す

15

ることができる。もっとも、場合によっては、上記高濃度埋込領域16、17は設けなくてもよい。

【0058】更にまた、基板表面領域で不純物濃度が薄くなり過ぎるのを防ぐために、浅いウェル領域14、15の不純物イオンと同じ導電型の不純物イオンを、浅いウェル領域14、15内にパンチスルーストッパー注入しても良い。パンチスルーストッパー注入は、例えば、P型の浅いウェル領域14中に形成する場合は、不純物イオンとして $11B^+$ 、注入エネルギーとして $10\sim60\text{KeV}$ 、注入量として $5\times 10^{11}\sim 1\times 10^{13}\text{cm}^{-2}$ の条件で、又はN型の浅いウェル領域15中に形成する場合は、不純物イオンとして $31P^+$ 、注入エネルギーとして $30\sim 150\text{KeV}$ 、注入量として $5\times 10^{11}\sim 1\times 10^{13}\text{cm}^{-2}$ の条件で、それぞれ行うことができる。

【0059】次に、ゲート絶縁膜24とゲート電極25がこの順で形成される。

【0060】上記ゲート絶縁膜24としては、絶縁性を有する限りその材質は特に限定されない。ここで、シリコン基板を使用した場合、シリコン酸化膜、シリコン窒化膜又はそれらの積層体を使用することができる。また、酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜などの高誘電膜又はそれらの積層体を使用することもできる。ゲート絶縁膜24は、シリコン酸化膜を用いた場合、 $1\sim 10\text{nm}$ の厚さを有することが好ましい。ゲート絶縁膜は、CVD法、スパッタ法、熱酸化法等の方法で形成することができる。

【0061】次に、上記ゲート電極25としては、導電性を有する限りその材質は特に限定されない。ここで、シリコン基板を使用した場合、ポリシリコン、単結晶シリコン等のシリコン膜が挙げられる。また、上記以外にも、アルミニウム、銅等の金属膜が挙げられる。ゲート電極25は、 $0.1\sim 0.4\mu\text{m}$ の厚さを有することが好ましい。ゲート電極25は、CVC法、蒸着法等の方法で形成することができる。

【0062】更に、上記ゲート電極25の側壁に、サイドウォールスペーサー26を形成する。このサイドウォールスペーサー26の材質は時に限定されず、酸化シリコン、窒化シリコン等が挙げられる。もっとも、場合によっては、上記サイドウォールスペーサー26を設けなくてもよい。

【0063】次に、上記ソース領域18、20、ドレイン領域19、21及びチャネル領域以外の領域において、図1、3に示すように、ゲート電極25と浅いウェル領域14、15とを電気的に接続するゲート-基板接続領域33を形成するために、ゲート電極25及びゲート絶縁膜24の一部を下地基板が露出するまでエッチングする。この露出した領域には、図3に示すように、不純物濃度が濃い領域(NMOSの場合はP型の不純物が濃い領域27、PMOSの場合はN型の不純物が濃い領域

16

28)が形成される。後に行うシリサイド化工程により、ゲート-基板接続領域33において、ゲート電極25と浅いウェル領域が電気的に接続される。

【0064】次に、図2に示すように、浅いウェル領域14、15の表面層には、浅いウェル領域14、15とは反対導電型のソース領域(NMOS1のソース領域18及びPMOS2のソース領域20)及びドレイン領域(NMOS1のドレイン領域19及びPMOS2のドレイン領域21)が形成される。

【0065】上記ソース領域18、20及びドレイン領域19、21の形成方法は、例えば、ゲート電極25をマスクとして浅いウェル領域14、15とは反対導電型の不純物イオンを注入することにより自己整合的に形成することができる。上記ソース領域18、20及びドレイン領域19、21は、例えば、不純物イオンとして $75As^+$ イオンを使用した場合、注入エネルギーとして $3\sim 100\text{KeV}$ 、注入量として $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ の条件、又は不純物イオンとして $11B^+$ イオンを使用した場合、注入エネルギーとして $1\sim 20\text{KeV}$ 、注入量として $1\times 10^{15}\sim 1\times 10^{16}\text{cm}^{-2}$ の条件で形成することができる。なお、上記ゲート電極25の下の浅いウェル領域14、15の表面層はチャネル領域として機能する。

【0066】更に、上記ソース領域18、20及びドレイン領域19、21は、ゲート電極25側にLDD (Lightly Doped Drain) 領域を備えている。このLDD領域の形成方法は、例えば、ゲート電極25をマスクとして浅いウェル領域14、15とは反対導電型の不純物イオンを注入することにより自己整合的に形成することができる。この場合、ソース領域18、20及びドレイン領域19、21は、LDD領域を形成した後、ゲート電極25の側壁にサイドウォールスペーサー26を形成し、ゲート電極25とサイドウォールスペーサー26をマスクとしてイオン注入することにより自己整合的に形成することができる。このLDD領域を形成するための不純物イオンの注入は、例えば、不純物イオンとして $75As^+$ イオンを使用した場合、注入エネルギーとして $3\sim 100\text{KeV}$ 、注入量として $5\times 10^{13}\sim 1\times 10^{15}\text{cm}^{-2}$ の条件、又は不純物イオンとして $11B^+$ イオンを使用した場合、注入エネルギーとして $1\sim 20\text{KeV}$ 、注入量として $1\times 10^{13}\sim 5\times 10^{14}\text{cm}^{-2}$ の条件で形成することができる。

【0067】なお、上記ソース領域18、20、ドレイン領域19、21及びLDD領域形成用の不純物イオンとして上記 $11B^+$ イオンや $75As^+$ イオン以外にも、 $31P^+$ イオン、 $122Sb^+$ イオン、 $115In^+$ イオン、 $49BF_2^+$ イオン等も使用することができる。

【0068】ところで、上記ソース領域18、20、ドレイン領域19、21及びゲート電極25は、それぞれ

の抵抗を下げ、それぞれと接続する配線との導電性を向上させるために、その表面層がシリサイド化される。このシリサイド化により、図3に示すように、ゲート基板接続領域33においてゲート電極25と浅いウェル領域14、15がシリサイド29を介して電氣的に接続される。このシリサイド29としては、タングステンシリサイド、チタンシリサイド等が挙げられる。

【0069】この後、不純物の活性化アニールを行う。活性化アニールは、不純物が十分に活性化され、かつ不純物が過度に拡散しないような条件で行う。例えば、N型の不純物が $7.5 \times 10^{15} \text{ cm}^{-2}$ でP型の不純物が $1 \times 10^{16} \text{ cm}^{-2}$ である場合は、 $7.5 \times 10^{15} \text{ cm}^{-2}$ を注入後に $800 \sim 1000^\circ\text{C}$ で $10 \sim 100$ 分程度アニールし、その後 $1 \times 10^{16} \text{ cm}^{-2}$ を注入してから $800 \sim 1000^\circ\text{C}$ で $10 \sim 100$ 秒アニールすることができる。なお、上記浅いウェル領域14、15と深いウェル領域12、13の不純物プロファイルをなだらかにするために、上記ソース領域18、20及びドレイン領域19、21の不純物を注入する前に別にアニールをしてもよい。

【0070】この後、公知の手法により、配線等を形成することにより半導体装置を形成することができる。

【0071】なお、上記では説明の便宜上、N型のDTMOS1とP型のDTMOS2とが1つずつの場合について述べているが、基板上にそれぞれ複数の素子が形成されている場合も本発明の範囲に含まれる。また、DTMOSのみならず、通常構造のMOSFETが混在していても良い。この場合は、通常MOSFETとすべき素子においてはゲート基板接続領域33を設けず、かわりに浅いウェル領域の電位を固定するためのコンタクト領域を設ければよい。

【0072】上記実施の形態1におけるP型DTMOS2のゲート電圧に対するドレイン電流の変化を図13に示す。ここで、 $W_s d = 0.40 \mu\text{m}$ である($W_s d$ はゲート電極端から素子分離領域までの距離)。図16に示す従来例のオフリークに比べて実施の形態1のP型DTMOS2のオフリークはよく抑制されていることが分る。

【0073】上記半導体装置では、素子分離領域は、幅が略一定の深い素子分離領域22とSTIからなる浅い素子分離領域23が併用され、かつ、浅い素子分離領域23にはLOCOS酸化膜のような顕著なバズピークがない。したがって、バズピーク起因の応力によるPMOS2のオフリーク不良を防止することができる。また、素子や素子間のマージンを小さくすることができる。

【0074】上記実施の形態1によれば、PMOSのオフリーク不良がなく、高集積化が可能なDTMOS2を含む集積回路が提供される。

【0075】(実施の形態2) 本発明の実施の形態2の半導体装置について、図9～12の模式図に基づいて説

明する。

【0076】図9は上記半導体装置の平面図であり、図10は図9の切断面線A-A'から見た断面図であり、図11は図9の切断面線B-B'から見た断面図であり、図12は図9の切断面線C-C'から見た断面図である。なお、図9ではシリサイド化された領域、層間絶縁膜及び上部メタル配線を、図10～12では上部メタル配線を省略している。図9～12は、N型のMOSFET3とP型のMOSFET4各1つずつの組み合わせを示している。しかしながら、これに限定されることなく、複数のN型のMOSFETを含んでも良く、複数のP型のMOSFETを含んでも良い。さらには、単一の導電型のMOSFETのみで構成されていても良い。また、図12は、P型のMOSFET4の断面図であるが、N型のMOSFETの断面も不純物の導電型が異なる点を除き、同様な構造を持つ。

【0077】本実施の形態2の半導体装置は、上記実施の形態1の半導体装置とは、ソース領域36、38及びドレイン領域37、39が積上げ型になっている点で異なっている。この半導体装置の形成手順を以下に記す。

【0078】ゲート電極25の作成までは、上記実施の形態1の半導体装置と同様の手順で形成する。

【0079】次に、図10に示すように、上記ゲート電極25の側壁に、非導電性のサイドウォールスペーサ40を形成する。この非導電性のサイドウォールスペーサ40にはシリコン窒化膜またはシリコン酸化膜などが使用できる。更に、非導電性のサイドウォールスペーサ40の側壁に、後に一部がソース領域36、38及びドレイン領域37、39となる導電性のサイドウォールスペーサを形成する。この導電性のサイドウォールスペーサには、ポリシリコンやアモルファスシリコンなどが使用できるが、ポリシリコンを用いるのが特に好ましい。この導電性のサイドウォールスペーサは、非導電性のサイドウォールスペーサ40により、ゲート電極25と電氣的に絶縁されている。この時点では、導電性のサイドウォールスペーサは、ゲート電極25の周囲を環状に取り囲んでいる。

【0080】次に、上記導電性のサイドウォールスペーサの2箇所を、図示しないレジストからなるマスクを用いてエッチングで除去する。更に、上記導電性のサイドウォールスペーサにソース領域36、38及びドレイン領域37、39の形成のためのイオン注入を行い、不純物活性化のためのアニールを行うことにより、N型の積上げ型ソース領域36、N型の積上げ型ドレイン領域37、P型の積上げ型ソース領域38及びP型の積上げ型ドレイン領域39を形成する。上記ソース領域36、38及びドレイン領域37、39のイオン注入は、例えば、不純物イオンとして $7.5 \times 10^{15} \text{ cm}^{-2}$ を使用した場合、注入エネルギーとして $10 \sim 180 \text{ KeV}$ 、注入量として $1 \times 10^{15} \sim 2 \times 10^{16} \text{ cm}^{-2}$ の条件、不

19

純物イオンとして $31P^+$ を使用した場合、注入エネルギーとして $5\sim 100\text{KeV}$ 、注入量として $1\times 10^{15}\sim 2\times 10^{16}\text{cm}^{-2}$ の条件、又は不純物イオンとして $11B^+$ イオンを使用した場合、注入エネルギーとして $5\sim 40\text{KeV}$ 、注入量として $1\times 10^{15}\sim 2\times 10^{16}\text{cm}^{-2}$ の条件で行うことができる。

【0081】なお、上記導電性のサイドウォールスペーサーのエッチングによりゲート電極25の一部とその下のゲート酸化膜24も同時に除去されて、浅いウェル領域14、15が露出した部分（ゲート-基板接続領域33）が生じる。このゲート-基板接続領域33に、ソース領域36、38及びドレイン領域37、39の形成のための不純物イオンが注入されて、不純物濃度の濃い領域（NMOS3の場合P型の不純物が濃い領域27、PMOS4の場合N型の不純物が濃い領域28）が形成される。

【0082】次に、シリサイド化工程を行い、ゲート電極25と浅いウェル領域14、15をシリサイド29を介してオーミック接続した。その後、上記実施の形態1の半導体装置と同様の手順で配線を行った。

【0083】上記工程によりN型のDTMOS3及びP型のDTMOS4を作成した。

【0084】なお、上記では説明の便宜上、NMOSのDTMOS3とPMOSのDTMOS4が1つずつの場合について述べているが、基板上にそれぞれ複数の素子が形成されている場合も本発明の範囲に含まれる。また、DTMOSのみならず、通常構造のMOSFETが混在していても良い。この場合は、通常MOSFETとすべき素子においてはゲート-基板接続領域33を設けず、かわりに浅いウェル領域の電位を固定するためのコンタクト領域を設ければよい。

【0085】上述のように、上記ソース領域36、38及びドレイン領域37、39を積み上げ型にすることにより、ソース領域36、38及びドレイン領域37、39と浅いウェル領域14、15との接合の深さを浅くすることが容易になる。これは、積上げ層（導電性のゲートサイドウォールスペーサー）での不純物の拡散速度が、基板中よりも大きいためである。この効果は、積上げ層をポリシリコンとした時に顕著である。このため、短チャネル効果の少ない素子を容易に作成することができる。更に、ソース領域36、38及びドレイン領域37、39の面積を大幅に縮小することができる。

【0086】例えば、通常MOSFETでは、コンタクト形成時のマージンを考慮すると、ソース領域及びドレイン領域の幅を、最小加工寸法の約3倍にする必要がある。これに対して、ソース領域及びドレイン領域を積み上げ型にした場合、最小加工寸法の2/3倍程度まで幅を縮小することが可能であり、その理由は以下の通りである。（1）通常構造のソース領域及びドレイン領域では、コンタクト孔が素子分離領域にはみ出すと、素子分

20

離領域を削ってしまい、ソース領域及びドレイン領域とウェル領域との接合が剥き出しになり、リーク電流の原因となる。そのため、コンタクトがソース領域およびドレイン領域からはみ出さないよう、十分マージンを取る必要がある。一方、積上げ型のソース領域36、38及びドレイン領域37、39では、コンタクト孔31、32が素子分離領域23を削ってしまっても、ソース領域36、38及びドレイン領域37、39とウェル領域14、15との接合が剥き出しとはならないので、リーク電流が問題とはならない。

（2）積上げ型にすることにより、ソース領域36、38及びドレイン領域37、39の表面積が大きくなり、コンタクトをとる際に、ソース領域36、38及びドレイン領域37、39の表面とコンタクトの接続面積を大きくとりやすい。

【0087】DTMOS3、4からなる集積回路において、深さの異なる二種類の素子分離領域22、23を用い、かつ、積上げ型のソース領域36、38及びドレイン領域37、39をもつMOSFET素子を用いることにより、効果的に素子面積を小さくすることができる。特に、浅い素子分離領域23をSTIとした場合、バースピークがほとんど発生しないので、バースピーク起因の応力によるPMOS4のオフリーク不良を防止することができ、かつ、積上げ型のソース領域36、38及びドレイン領域37、39の幅が小さいという特性を最大限引き出すことが可能となる。

【0088】したがって、上記実施の形態2によれば、PMOS4のオフリーク不良がなく、かつ、素子の面積を更に小さく抑えることができ、高集積化が可能なDTMOSを含む集積回路が提供される。

【0089】

【発明の効果】以上より明らかなように、本発明の半導体装置によれば、素子分離領域は、幅が略一定の深い素子分離領域と、STIからなる浅い素子分離領域とからなっているので、STIからなる浅い素子分離領域のバースピークが小さくて、DTMOSをPMOSから構成しても、オフリーク不良が抑制され、かつ、素子分離領域への絶縁膜の埋め込みが容易になる。また、上記深い素子分離領域は幅が略一定であるので、深い素子分離領域の形成が簡単である。また、上記素子分離領域は、幅が略一定の深い素子分離領域と、STIからなる浅い素子分離領域とからなるので、素子や素子間のマージンを小さくすることができる。

【0090】1実施の形態では、相補型に構成したので、動的閾値トランジスタに対称出力特性を持たせることができ、更に、低消費電力化が可能となる。

【0091】1実施の形態では、ソース領域及びドレイン領域が積み上げ型になっているので、コンタクトが素子分離領域にはみ出して、素子分離領域を掘ってしまっても、ソース領域及びドレイン領域とウェル領域との接

21

合が剥き出しにならないので、リーク電流が問題とはならない。更に、上記ソース領域及びドレイン領域が積上げ型であるので、ソース領域及びドレイン領域の表面積が大きくなって、コンタクトをとる際に、ソース領域及びドレイン領域の表面とコンタクトとの接統面積を大きくとりやすいという利点を有する。更にまた、DTMOSを含む集積回路において、深さの異なる二種類の素子分離領域を用い、かつ、積上げ型のソース領域及びドレイン領域をもつDTMOS有するので、効果的に素子面積を小さくすることができる。特に、浅い素子分離領域をSTIとしているので、バズピークがほとんど発生しないので、積上げ型のソース領域及びドレイン領域の幅が小さいという特性を最大限引き出すことができる。

【0092】1実施の形態では、境界部素子分離領域が、STIからなる浅い素子分離領域の両側に幅が略一定の深い素子分離領域を形成してなる複合素子分離領域からなるので、単に幅の広い深い素子分離領域を設けた場合に比べて、酸化膜等の埋め込みが容易で、幅の広い複合素子分離領域を比較的容易に形成することができる。また、上記複合素子分離領域によると、浅い素子分離領域の両側に深い素子分離領域が存在するので、第1導電型の深いウェル領域と第1導電型の浅いウェル領域との間、または、第2導電型の深いウェル領域と第2導電型の浅いウェル領域との間のパンチスルーを効果的に防ぐことができる。したがって、少ない素子分離マージンで、複数の動的閾値トランジスタの間を効果的に分離できる。

【0093】1実施の形態では、境界部素子分離領域が、幅が略一定の深い素子分離領域とその深い素子分離領域の両側に位置するSTIからなる浅い素子分離領域とから複合素子分離領域からなるので、単に幅の広い深い素子分離領域を設ける場合に比べて、複合素子分離領域への酸化膜の埋め込みが容易で、幅の広い複合素子分離領域を比較的容易に形成することができる。また、上記複合素子分離領域によると、少ない素子分離マージンで、第1導電型と第2導電型の浅いウェル領域を効果的に分離できて、DTMOSの閾値の変化を抑制することができる。

【0094】この発明の半導体装置の製造方法によれば、第1の膜は、第1の分離溝を形成するためのマスクと、第2の分離溝を形成するためのマスクとを兼ねているので、半導体装置を作成する工程を少なくすることができる。また、上記第2の分離溝を形成する際に、上記第1の分離溝も一緒にエッチングするので、上記第1の分離溝に不要な段差が生じない。

【0095】1実施の形態によれば、マスクとしての機能を2回果たす必要のある第1の膜を、アッシング処理や弗化水素酸処理に耐性のある積層膜とし、マスクとしての機能を1回のみ果たせばよい第2の膜を、アッシング処理で容易に除去できるフォトリソグラフィからなる膜と

22

しているので、半導体装置の製造方法を簡略化することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1の半導体素子の平面図である。

【図2】 図1の切断面線A-A'から見た断面図である。

【図3】 図1の切断面線B-B'から見た断面図である。

【図4】 図1の切断面線C-C'から見た断面図である。

【図5】 本発明の実施の形態1の半導体素子の、素子分離領域の形成手順を説明する図である。

【図6】 本発明の実施の形態1の半導体素子の、素子分離領域の形成手順を説明する図である。

【図7】 本発明の実施の形態1の半導体素子の、素子分離領域の組み合わせ例である。

【図8】 図7に示す素子分離領域の応用例である。

【図9】 本発明の実施の形態2の半導体素子の平面図である。

【図10】 図9の切断面線A-A'から見た断面図である。

【図11】 図9の切断面線B-B'から見た断面図である。

【図12】 図9の切断面線C-C'から見た断面図である。

【図13】 本発明の実施の形態の半導体素子のゲート電圧対ドレイン電流特性を示すグラフである。

【図14】 従来技術の半導体素子の断面図である。

【図15】 図14の素子分離領域の詳細図である。

【図16】 従来技術の半導体素子のゲート電圧対ドレイン電流特性を示すグラフである。

【図17】 図14において、素子分離に単一深さのSTIを用いた例である。

【符号の説明】

1 N型のDTMOS

2 P型のDTMOS

11 半導体基板

12 N型の深いウェル領域

13 P型の深いウェル領域

14 P型の浅いウェル領域

15 N型の浅いウェル領域

18, 20 ソース領域

19, 21 ドレイン領域

22 深い素子分離領域

23 浅い素子分離領域

24 ゲート絶縁膜

25 ゲート電極

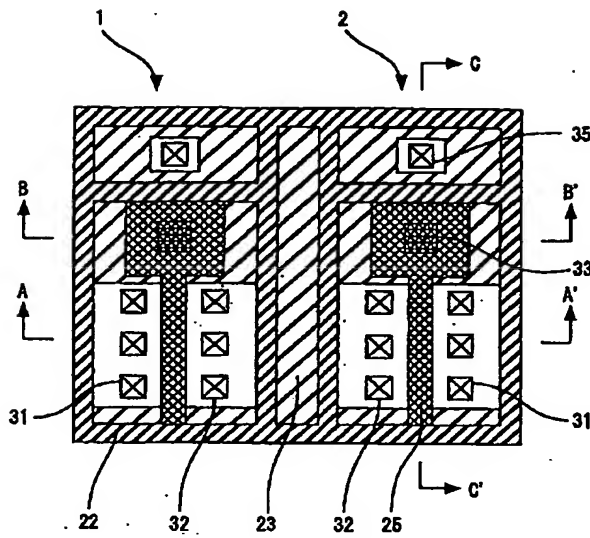
412 酸化膜

413 SiN膜

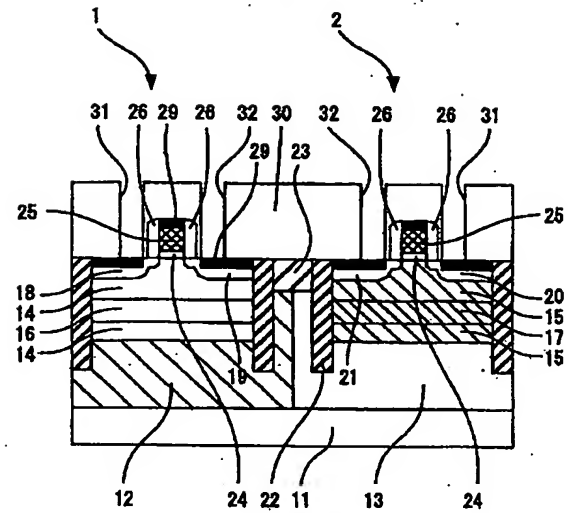
23
414 フォトレジスト

24

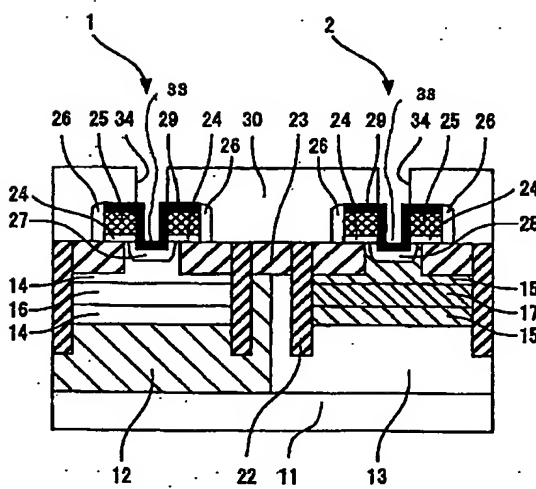
【図1】



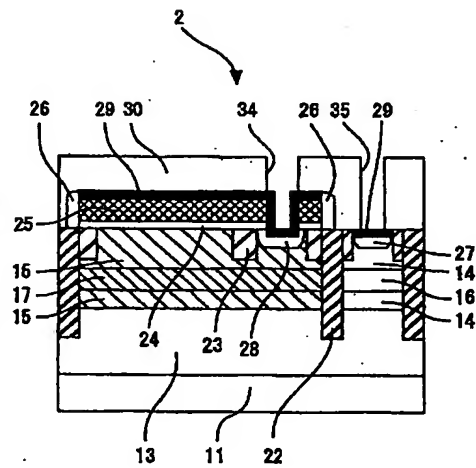
【図2】



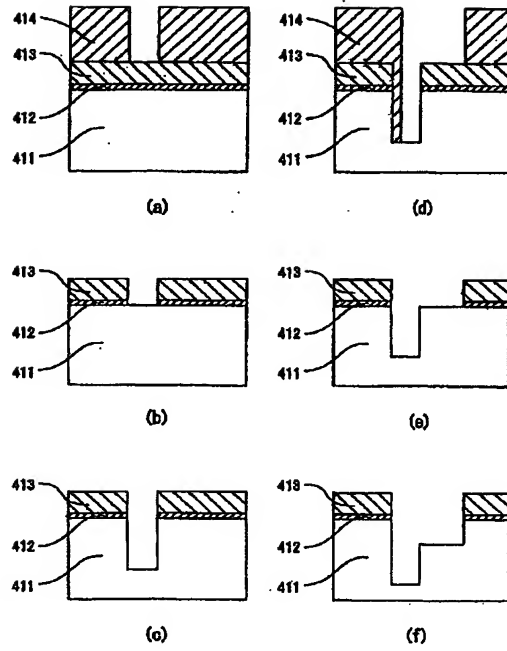
【図3】



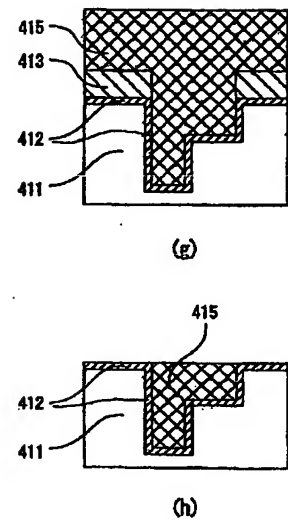
【図4】



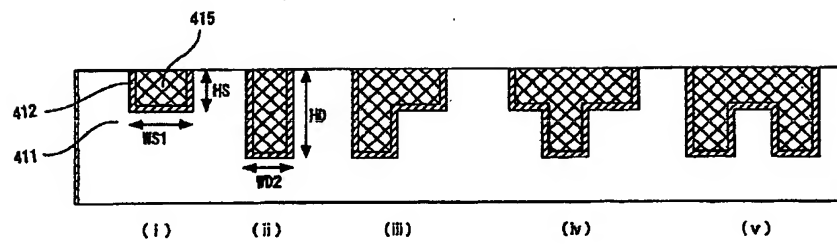
【図 5】



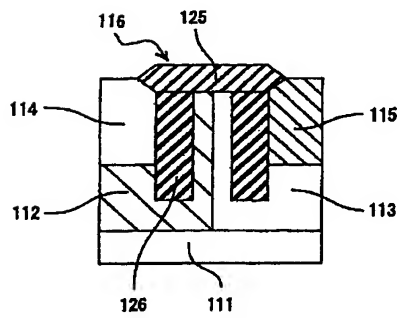
【図 6】



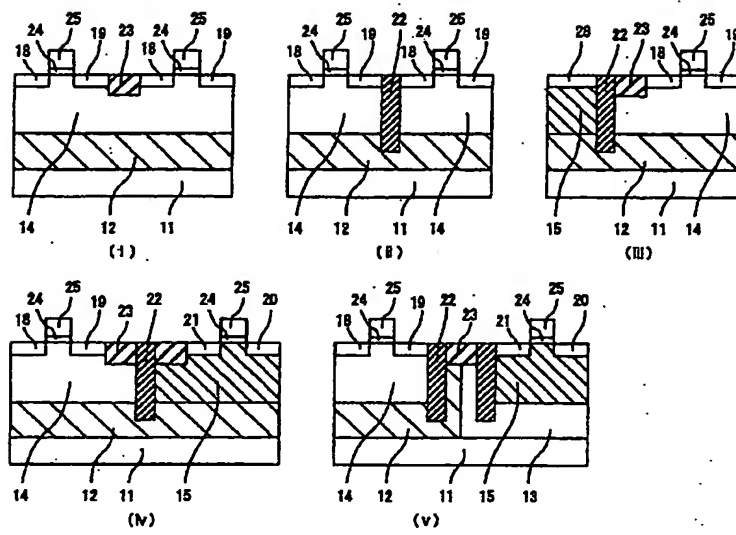
【図 7】



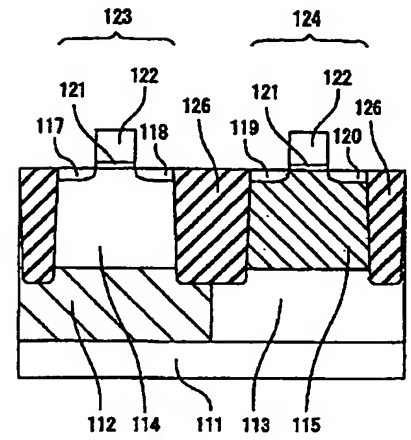
【図 15】



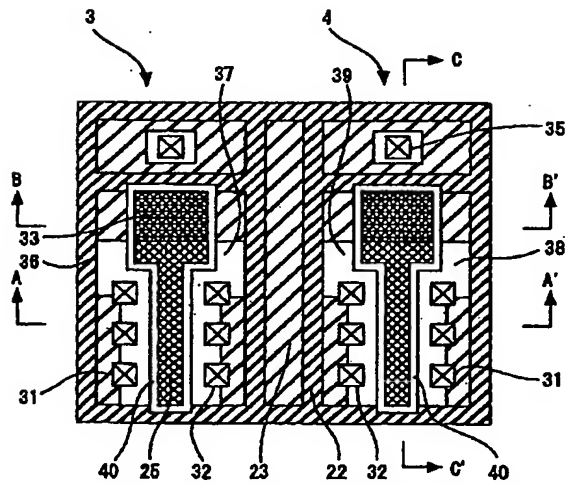
【図8】



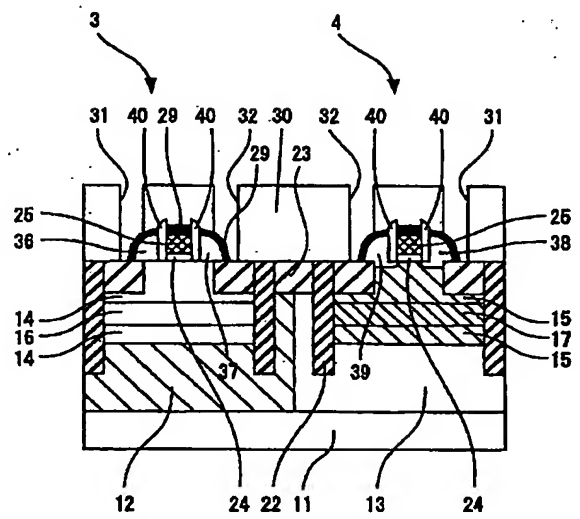
【図17】



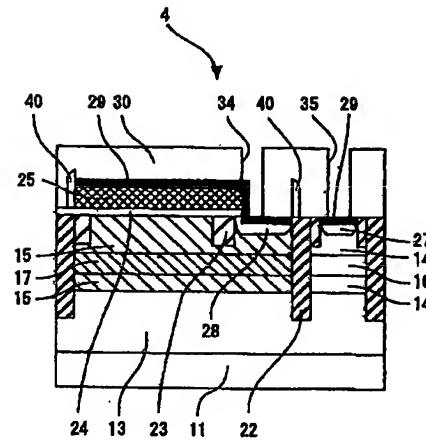
【図9】



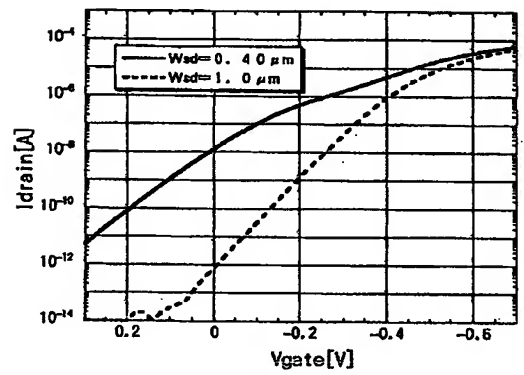
【図10】



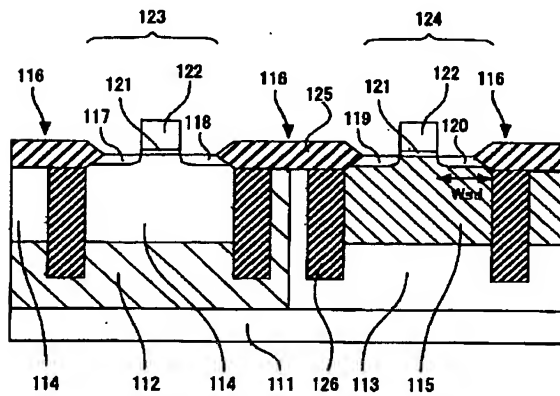
【図 12】



【图 16】



【圖 14】



フロントページの続き

(51)Int.Cl. 7

識別記号

F I

テーマコード(参考)

H 0 1 L 29/78

3 0 1 R

3 0 1 X

(72)発明者 柿本 誠三

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

Fターム(参考) 5F032 AA35 AA36 AA45 AA46 AA47

AA77 BA02 CA01 CA03 CA17

DA22 DA33

5F048 AA01 AA07 AC03 BA12 BB05

BB08 BB09 BB11 BC01 BE02

BE03 BE09 BF06 BF16 BG12

BG14 DA25 DA27 DA28

5F140 AA08 AA24 AB03 AC10 BD01

BD04 BD05 BD07 BD10 BD12

BE07 BE09 BE10 BF04 BF05

BF11 BF18 BF43 BG08 BG09

BG11 BG12 BG14 BG15 BG34

BG43 BG44 BG45 BG46 BH06

BH15 BJ01 BJ08 BK02 BK08

BK13 BK34 BK38 CB04 CB08

CD02 CF04 CF07

THIS PAGE BLANK (USPTO)